

MIS TRANSISTOR

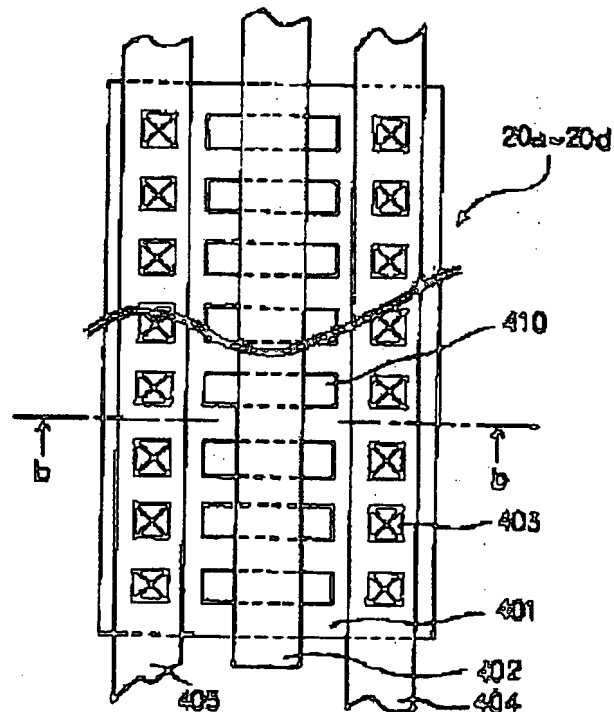
Patent number: JP7094744
Publication date: 1995-04-07
Inventor: ISHIKAWA JUN; SATO TOSHIHIRO; SHIMOMURA SHIGEO; KOSHI HIROBUMI; HAYATA HIROKO
Applicant: HITACHI LTD; HITACHI DEVICE ENG
Classification:
- **International:** G02F1/136; G02F1/133; G02F1/1368; H01L29/78; H01L29/786; G02F1/13; H01L29/66; (IPC1-7): H01L29/786; G02F1/133; G02F1/136
- **European:**
Application number: JP19930233756 19930920
Priority number(s): JP19930233756 19930920

Report a data error here

Abstract of JP7094744

PURPOSE: To increase ON characteristics and prevent leakage current from occurring at OFF without enlarging an occupied area, by dividing a channel layer formed between a source region and a drain region into a plurality of areas along its channel width.

CONSTITUTION: A source electrode 405 and a drain electrode 404 formed on both sides of a gate electrode 402, respectively, in parallel thereto, are connected via a through hole provided respectively in a silicon nitride film 403 to a source region and a drain region formed in a semiconductor layer 401. An MIS transistor formed in this manner is formed by being split into a plurality of areas along a channel width as a channel layer formed between the source region and the drain region forms a groove 410 in the semiconductor layer 401. Consequently, there is an increase in the number of sides in each channel layer corresponding to its channel length, thus increasing an ON current.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94744

(43) 公開日 平成7年(1995)4月7日

(51) Int. Cl. ⁶	識別記号	F I
H01L 29/786		
G02F 1/133	520	
1/136	500	
	9056-4M	H01L 29/78 311 H
審査請求 未請求 請求項の数 1 O L (全19頁)		

(21) 出願番号 特願平5-233756

(22) 出願日 平成5年(1993)9月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 石川 純

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

(72) 発明者 佐藤 敏浩

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(74) 代理人 弁理士 秋田 収喜

最終頁に続く

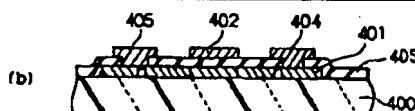
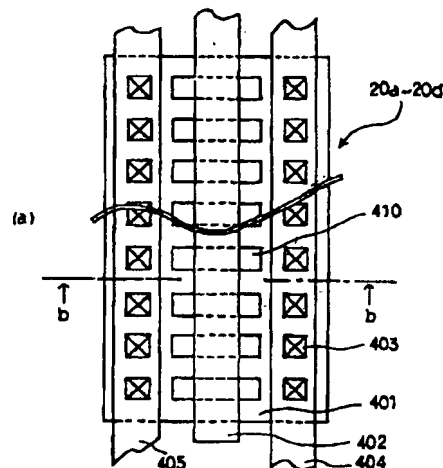
(54) 【発明の名称】 M I S トランジスタ

(57) 【要約】

【目的】 占有面積を大きくせずに、ON特性の向上、さらにはOFF時のリーク電流の発生を防止できる。

【構成】 半導体基板の表面に形成されたソース領域とドレイン領域との間に、各領域を結ぶ方向の辺をチャンネル長とし該辺に交差する方向の辺をチャンネル幅とするチャンネル層を形成するためのゲート電極が絶縁膜を介して形成されているM I S トランジスタにおいて、前記チャンネル層は、そのチャンネル幅に沿って複数に分割されている。

図 1



【特許請求の範囲】

【請求項1】 半導体基板の表面に形成されたソース領域とドレイン領域との間に、各領域を結ぶ方向の辺をチャネル長とし該辺に交差する方向の辺をチャネル幅とするチャンネル層を形成するためのゲート電極が絶縁膜を介して形成されているMISトランジスタにおいて、前記チャネル層は、そのチャネル幅に沿って複数に分割されていることを特徴とするMISトランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MISトランジスタに係り、たとえば液晶表示基板の駆動回路に組み込まれるMISトランジスタの改良に関する。

【0002】

【従来の技術】たとえば、アクティブ・マトリクス型の液晶表示基板は、その端子に垂直走査回路および映像信号駆動回路が接続されて用いられる。

【0003】そして、これら垂直走査回路および映像信号駆動回路のそれぞれには、いくつかのスイッチング素子が組み込まれており、これらスイッチング素子はその半導体層が多結晶シリコン膜からなるSMIS構造の薄膜トランジスタ(TFT)からなっている。

【0004】

【発明が解決しようとする課題】しかしながら、このような垂直走査回路および映像信号駆動回路に組み込まれている薄膜トランジスタは高速駆動できることが要望されている。

【0005】液晶表示部の高精細化にともない、前記各回路の高速駆動が必要となるからである。

【0006】特に、映像信号駆動回路の薄膜トランジスタにおいては、選択された書き込み時間の間に、それぞれの画素に信号電圧を書き込むに充分なON/OFF特性が要求される。

【0007】そこで、該薄膜トランジスタにおいて、そのチャネル幅を大きくしたものが知られているが、その占有面積が大きくなるにも拘らず、それ程の効果を期待できるものではなく、OFF時におけるリーク電流が増大するという問題が指摘されるに到った。

【0008】それ故、本発明はこのような事情に基づいてなされたものであり、その目的とするところのものは、占有面積を大きくせずに、ON特性の向上、さらにはOFF時のリーク電流の発生を防止できるMISトランジスタを提供するにある。

【0009】

【課題を解決するための手段】このような目的を達成するために本発明は、基本的には、半導体基板の表面に形成されたソース領域とドレイン領域との間に、各領域を結ぶ方向の辺をチャネル長とし該辺に交差する方向の辺をチャネル幅とするチャンネル層を形成するためのゲート電極が絶縁膜を介して形成されているMISトランジスタ

タにおいて、前記チャネル層は、そのチャネル幅に沿って複数に分割されていることを特徴とするものである。

【0010】

【作用】このように構成したMISトランジスタは、ソース領域とドレイン領域との間に形成されるチャネル層をそのチャネル幅に沿って複数に分割して形成されることになる。

【0011】このようにすることによって、各チャネル層においてそのチャネル長に相当する辺部の数が増大し、ON電流が増大することになる。

【0012】すなわち、MISトランジスタにおけるON電流は、チャネル層のチャネル長に相当する辺部に集中するという事実が判明し、チャネル幅を大きくすることよりも、上述のようにチャネル長に相当する辺部の数を増大させた方が効果的であることが判った。

【0013】このことは、MISトランジスタの占有面積を増大させることなく、複数のチャネル層を形成することができることになり、必然的にチャネル層の占有面積を小さくすることからOFF時におけるリーク電流も小さくすることができるようになる。

【0014】

【実施例】本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0015】《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0016】《マトリクス部の概要》図2はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図、図3は図2の3-3切断線における断面を示す図、図4は図2の4-4切断線における断面図である。

【0017】図2に示すように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。

【0018】図3に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。透明ガラス基板SUB1、SUB2の両面にはディ

ップ処理等によって形成された酸化シリコン膜SIOが設けられている。

【0019】上部透明ガラス基板SUB2の内側（液晶LC側）の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2（COM）および上部配向膜ORI2が順次積層して設けられている。

【0020】《マトリクス周辺の概要》図5は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス（AR）周辺の要部平面を、図6はその周辺部を更に誇張した平面を、図7は図5及び図6のパネル左上角部に対応するシール部SL付近の拡大平面を示す図である。また、図8は図3の断面を中央にして、左側に図7の8a-8a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子DTM付近の断面を示す図である。同様に図9は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0021】このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図5～図7は後者の例を示すもので、図5、図6の両図とも上下基板SUB1、SUB2の切断後を、図7は切断前を表しており、LNは両基板の切断前の縁を、CT1とCT2はそれぞれ基板SUB1、SUB2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群Tg、Td（添字略）が存在する（図で上下辺と左辺の）部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP（図18、図19）の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。

【0022】透明ガラス基板SUB1、SUB2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一箇所において、本実施例ではパネルの4角で銀ペースト材AGPによって下部透明ガラス基板SUB1側

に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。

【0023】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、それぞれの層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0024】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0025】《薄膜トランジスタTFT》次に、図2、図3に戻り、TFT基板SUB1側の構成を詳しく説明する。

【0026】薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0027】各画素には複数（2つ）の薄膜トランジスタTFT1、TFT2が冗長して設けられる。薄膜トランジスタTFT1、TFT2のそれぞれは、実質的に同一サイズ（チャネル長、チャネル幅が同じ）で構成され、ゲート電極GT、ゲート絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーブされていない）非晶質シリコン（Si）からなるi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0028】《ゲート電極GT》ゲート電極GTは走査信号線GLから垂直方向に突出する形状で構成されている（T字形状に分岐されている）。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に（共通のゲート電極として）構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電

極GTは、単層の第2導電膜g2で形成されている。第2導電膜g2としては例えばスパッタで形成されたアルミニウム(A1)膜が用いられ、その上にはA1の陽極酸化膜AOFが設けられている。

【0029】このゲート電極GTはi型半導体層ASを完全に覆うよう(下方からみて)それより大き目に形成され、i型半導体層ASに外光やバックライト光が当たらないよう工夫されている。

【0030】《走査信号線GL》走査信号線GLは第2導電膜g2で構成されている。この走査信号線GLの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもA1の陽極酸化膜AOFが設けられている。

【0031】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFT1、TFT2において、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、1200~2700Åの厚さに(本実施例では、2000Å程度)形成される。ゲート絶縁膜GIは図7に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。絶縁膜GIは走査信号線GLと映像信号線DLの電氣的絶縁にも寄与している。

【0032】《i型半導体層AS》i型半導体層ASは、本例では薄膜トランジスタTFT1、TFT2のそれぞれに独立した島となるよう形成され、非晶質シリコンで、200~2200Åの厚さに(本実施例では、2000Å程度の膜厚)で形成される。層d0はオーミックコンタクト用のリン(P)をドーブしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d2(d3)が存在するところのみに残されている。

【0033】i型半導体層ASは走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0034】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0035】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザー光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。透明画素電極ITO1は第1導

電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、1000~2000Åの厚さに(本実施例では、1400Å程度の膜厚)形成される。

【0036】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する第2導電膜d2とその上に形成された第3導電膜d3とから構成されている。

【0037】第2導電膜d2はスパッタで形成したクロム(Cr)膜を用い、500~1000Åの厚さに(本実施例では、600Å程度)で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d0との接着性を良好にし、第3導電膜d3のA1がN(+)型半導体層d0に拡散することを防止する(いわゆるバリア層の)目的で使用される。第2導電膜d2として、Cr膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoS₂、TiSi₂、TaSi₂、WSi₂)膜を用いてもよい。

【0038】第3導電膜d3はA1のスパッタリングで3000~5000Åの厚さに(本実施例では、4000Å程度)形成される。A1膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする(ステップカバーレージを良くする)働きがある。

【0039】第2導電膜d2、第3導電膜d3を同じマスクパターンでバターニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さ分は全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0040】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。

【0041】《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸

化シリコン膜や窒化シリコン膜で形成されており、 $1\mu\text{m}$ 程度の膜厚で形成する。

【0042】保護膜PSV1は図7に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンス g_m を薄くされる。従って図7に示すように、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0043】《遮光膜BM》上部透明ガラス基板SUB2側には、外部光又はバックライト光がi型半導体層ASに入射しないよう遮光膜BMが設けられている。図2に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。遮光膜BMは光に対する遮蔽性が高い例えばアルミニウム膜やクロム膜等で形成されており、本実施例ではクロム膜がスパッタリングで 1300\AA 程度の厚さに形成される。

【0044】従って、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび大きなゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜BMは各画素の周囲に格子状に形成され（いわゆるブラックマトリクス）、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0045】透明画素電極ITO1のラビング方向の根本側のエッジ部分（図2右下部分）も遮光膜BMによって遮光されているので、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0046】遮光膜BMは図6に示すように周辺部にも縁状に形成され、そのパターンはドット状に複数の開口を設けた図2に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図6～図9に示すように、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約 $0.3\sim 1.0\text{mm}$ 程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0047】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しで

ストライプ状に形成される。カラーフィルタFILは透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0048】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0049】《保護膜PSV2》保護膜PSV2はカラーフィルタFILの染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0050】《共通透明画素電極ITO2》共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差（電界）にตอบสนองして変化する。この共通透明画素電極ITO2にはコモン電圧 V_{com} が印加されるように構成されている。本実施例では、コモン電圧 V_{com} は映像信号線DLに印加される最小レベルの駆動電圧 V_{dmin} と最大レベルの駆動電圧 V_{dmax} との中間直流電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極ITO2の平面形状は図6、図7を参照されたい。

【0051】《保持容量素子Caddの構造》透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図4からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0052】保持容量素子Caddは走査信号線GLの第2導電膜g2の幅を広げた部分に形成されている。なお、映像信号線DLと交差する部分の第2導電膜g2は映像信号線DLとの短絡の確率を小さくするため細くされている。

【0053】保持容量素子Caddの電極PL1の段差部において透明画素電極ITO1が断線しても、その段差をまたがるように形成された第2導電膜d2および第3

10

20

30

40

50

導電膜d3で構成された島領域によってその不良は補償される。

【0054】《ゲート端子部》図10は表示マトリクスの走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、(A)は平面であり(B)は(A)のB-B切断線における断面を示している。なお、同図は図7下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0055】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g2は表面にその酸化物Al₂O₃膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターンAOは走査線GLに単一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0056】図中AL層g2は、判り易くするためハッチを施してあるが、陽極化成されない領域は櫛状にパターンニングされている。これは、Al層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本例では櫛の根本に相当する部分もマスクAOに沿ってずらしている。

【0057】ゲート端子GTMは酸化珪素SiO層と接着性が良くAl等よりも耐電触性の高いCr層g1と、更にその表面を保護し画素電極ITO1と同レベル(同層、同時形成)の透明導電層d1とで構成されている。なお、ゲート絶縁膜GI上及びその側面部に形成された導電層d2及びd3は、導電層d3やd2のエッチング時ピンホール等が原因で導電層g2やg1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜GIを乗り越えて右方向に延長されたITO層d1は同様な対策を更に万全とさせたものである。

【0058】平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図7に示すように上下に複数本並べられ端子群Tg(図6、図7)が構成され、ゲート端子の左端は、製造過程

では、基板の切断領域CT1を越えて延長され配線SHgによって短絡される。製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0059】《ドレイン端子DTM》図11は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図7右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部(又は下端部)に該当する。

【0060】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるように配線部より幅が広がられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広がられている。検査端子TSTdと外部接続ドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTdは図に示すとおり基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは、図7に示すように端子群Td(添字省略)を構成し基板SUB1の切断線CT1を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHdによって短絡される。検査端子TSTdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン接続端子が接続され、逆にドレイン接続端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子が接続される。

【0061】ドレイン接続端子DTMは前述したゲート端子GTMと同様な理由でCr層g1及びITO層d1の2層で形成されており、ゲート絶縁膜GIを除去した部分で映像信号線DLと接続されている。ゲート絶縁膜GIの端部に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものである。端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。AOは前述した陽極酸化マスクでありその境界線はマトリクス全体をを大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層g2が存在しないのでこのパターンは直接は関係しない。

【0062】マトリクス部からドレイン端子部DTMまでの引出配線は図8の(C)部にも示されるように、ドレイン端子部DTMと同じレベルの層d1、g1のすぐ上に映像信号線DLと同じレベルの層d2、d3がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電触し易いAl層d3を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

【0063】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図12に示す。同図は回路図ではあるが、実際の幾何学的配置に対応し

(7)

特開平7-94744

11

て描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0064】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0065】映像信号線X（添字省略）は交互に上側（または奇数）映像信号駆動回路He、下側（または偶数）映像信号駆動回路Hoに接続されている。

【0066】走査信号線Y（添字省略）は垂直走査回路Vに接続されている。

【0067】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0068】《保持容量素子Caddの働き》保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位（画素電極電位）Vlcに対するゲート電位変化 ΔVg の影響を低減するように働く。この様子を式で表すと、次のようになる。

【0069】

$$\Delta Vlc = \{Cgs / (Cgs + Cadd + Cpix)\} \times \Delta Vg$$

ここで、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量、Cpixは透明画素電極ITO1（PIX）と共通透明画素電極ITO2（COM）との間に形成される容量、 ΔVlc は ΔVg による画素電極電位の変化分を表わす。この変化分 ΔVlc は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0070】前述したように、ゲート電極GTは1型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量Cgsが大きくなり、中点電位Vlcはゲート（走査）信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

【0071】保持容量素子Caddの保持容量は、画素の書き込特性から、液晶容量Cpixに対して4～8倍（ $4 \cdot Cpix < Cadd < 8 \cdot Cpix$ ）、寄生容量Cgsに対して8～32倍（ $8 \cdot Cgs < Cadd < 32 \cdot Cgs$ ）程度の値に設定する。

12

【0072】保持容量電極線としてのみ使用される初段の走査信号線GL（Y₁）は共通透明画素電極ITO2（Vcom）と同じ電位にする。図7の例では、初段の走査信号線は端子GT0、引出線INT、端子DT0及び外部配線を通じて共通電極COMに短絡される。或いは、初段の保持容量電極線Y₁は最終段の走査信号線Y_{end}に接続、Vcom以外の直流電位点（交流接地点）に接続するかまたは垂直走査回路Vから1つ余分に走査パルスY₁を受けると接続してもよい。

10 【0073】《製造方法》つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図13～図15を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図3に示す画素部分、右側は図10に示すゲート端子付近の断面形状でみた加工の流れを示す。工程Dを除き工程A～工程Iは各写真処理に対応して分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトリソストを除去した段階を示している。なお、写真処理とは本説明ではフォトリソストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下分けした工程に従って、説明する。

【0074】工程A、図13

7059ガラス（商品名）からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けたのち、500℃、60分間のベークを行なう。下部透明ガラス基板SUB1上に膜厚が1100Åのクロムからなる第1導電膜g1をスパッタリングにより設け、写真処理後、エッチング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g1を選択的にエッチングする。それによって、ゲート端子GTM、ドレイン端子DTM、ゲート端子GTMを接続する陽極酸化バスラインSHg、ドレイン端子DTMを短絡するバスラインSHd、陽極酸化バスラインSHgに接続された陽極酸化パッド（図示せず）を形成する。

【0075】工程B、図13

膜厚が2800ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で第2導電膜g2を選択的にエッチングする。

【0076】工程C、図13

写真処理後（前述した陽極酸化マスクAO形成後）、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cm²になるように調整する（定電流化成）。次に所定のAl₂O₃膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電

50

圧化成)。これは均一な Al_2O_3 膜を得る上で大事なことである。それによって、導電膜 g_2 を陽極酸化され、走査信号線GL、ゲート電極GTおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される。

【0077】工程D、図14

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質Si膜を設ける。

【0078】工程E、図14

写真処理後、ドライエッチングガスとして SF_6 、 CCl_4 を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

【0079】工程F、図14

写真処理後、ドライエッチングガスとして SF_6 を使用して、窒化Si膜を選択的にエッチングする。

【0080】工程G、図15

膜厚が1400ÅのITO膜からなる第1導電膜d1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で第1導電膜d1を選択的にエッチングすることにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

【0081】工程H、図15

膜厚が600ÅのCrからなる第2導電膜d2をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第3導電膜d3をスパッタリングにより設ける。写真処理後、第3導電膜d3を工程Bと同様な液でエッチングし、第2導電膜d2を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。つぎに、ドライエッチング装置に CCl_4 、 SF_6 を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

【0082】工程I、図15

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化Si膜を設ける。写真処理後、ドライエッチングガスとして SF_6 を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

【0083】《液晶表示モジュールの全体構成》図16は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。

【0084】SHDは金属板から成る枠状のシールドケース(メタルフレーム)、LCWその表示窓、PNLは

液晶表示パネル、SPBは光拡散板、MFRは中間フレーム、BLはバックライト、BLSはバックライト支持体、LCAは下側ケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0085】モジュールMDLは、シールドケースSHDに設けられた爪CLとフックFKによって全体が固定されるようになっている。

【0086】中間フレームMFRは表示窓LCWに対応する開口が設けられるように枠状に形成され、その枠部分には拡散板SPB、バックライト支持体BLS並びに各種回路部品の形状や厚みに応じた凹凸や、放熱用の開口が設けられている。

【0087】下側ケースLCAはバックライト光の反射体も兼ねており、効率のよい反射ができるよう、蛍光管BLに対応して反射山RMが形成されている。

【0088】《表示パネルPNLと駆動回路基板PCB1》図17は、図5等にした表示パネルPNLに映像信号駆動回路He、Hoと垂直走査回路Vを接続した状態を示す上面図である。

【0089】CHIは表示パネルPNLを駆動させる駆動ICチップ(下側の3個は垂直走査回路側の駆動ICチップ、左右の6個ずつは映像信号駆動回路側の駆動ICチップ)である。TCPは図18、図19で後述するように駆動用ICチップCHIがテープ・オートメィド・ボンディング法(TAB)により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサCDS等が実装された駆動回路基板で、3つに分割されている。FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたパネ状の破片FGが半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1、および下側の駆動回路基板PCB1と右側の駆動回路基板PCB1とを電気的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線(りん青銅の素材にSn鍍金を施したもの)をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0090】《映像信号駆動回路》図18は、映像信号駆動回路を構成する駆動ICチップCHIの概略回路図である。

【0091】同図において、液晶の超寿命化を図るため、液晶表示パネルPNLに印加される映像信号は交流化されており、V(1)、V(2)、V(3)、V(EE)の電圧が印加される配線10a、10b、10c、10dがある。ここで、V(1)は正、V(2)は負、V(3)は正、V(EE)は負である。

【0092】それぞれの配線10a、10b、10c、10dからは、上記電圧V(1)、V(2)、V(3)、V(EE)が出力トランジスタ20a、20

b、20c、20dを介して、図示しない液晶表示基板の映像信号入力端子の一つに入力されるようになっている。

【0093】出力トランジスタ20a、20b、20c、20dはMISTランジスタからなり、それぞれのゲート電極にはシフトレジスタ30からの出力がデコーダ40a、40b、40c、40dを介して制御電圧が印加されるようになっている。

【0094】なお、上述した構成は、液晶表示基板の他の映像信号入力端子に接続される部分においても同様の構成となっている。

【0095】《出力トランジスタ》図1は、上記出力トランジスタ20a、20b、20c、20dのうちの一つを示した構成図で、同図(a)は平面図、(b)は(a)のa-a線における断面図である。

【0096】各図において、石英基板400があり、この石英基板400の主表面には、ポリシリコンからなる半導体層401が形成されている。この半導体層401のパターンとしては、ほぼ矩形状をなし、その長手方向に沿って溝410が並設されて形成されている。この溝410は石英基板400の主表面を露呈させて形成され、その長辺が半導体層401の短辺と平行になるように形成されている。

【0097】そして、該石英基板400の主表面には、前記半導体層401、この半導体層401に形成された溝410をも被ってゲート絶縁膜となるシリコン窒化膜405が形成されている。

【0098】さらに、シリコン窒化膜405の表面には、ポリシリコン層からなるゲート電極402が形成され、このゲート電極402は前記各溝410のそれぞれを跨るように位置づけられている。なお、このゲート電極402を構成するポリシリコン層を形成した後は、たとえばn型の不純物をドーピングすることにより、前記ポリシリコン層を導電化させるとともに、前記半導体層401にソース領域、およびドレイン領域を形成するようになっている。

【0099】さらに、前記ゲート電極402の両脇に、このゲート電極402と平行に位置づけられたソース電極405、およびドレイン電極404が形成され、これらソース電極405およびドレイン電極404は、それぞれシリコン窒化膜405に設けられているスルーホールを介して前記ソース領域、およびドレイン領域に接続されている。

【0100】この実施例のように構成したMISTランジスタは、ソース領域とドレイン領域との間に形成されるチャンネル層が、半導体層401に溝410が形成されることによって、そのチャンネル幅に沿って複数に分割して形成されることになる。

【0101】このようにすることによって、各チャンネル層においてそのチャンネル長に相当する辺部の数が増大

し、ON電流が増大することになる。

【0102】すなわち、MISTランジスタにおけるON電流は、チャンネル層のチャンネル長に相当する辺部に集中するという事実が判明し、チャンネル幅を大きくすることよりも、上述のようにチャンネル長に相当する辺部の数を増大させた方が効果的であることが判った。

【0103】このことは、MISTランジスタの占有面積を増大させることなく、複数のチャンネル層を形成することができることになり、必然的にチャンネル層の占有面積を小さくすることからOFF時におけるリーク電流も小さくすることができるようになる。

【0104】図2は、上述したMISTランジスタの特性を実験的に調べたグラフであり、その横軸はゲート電圧を、縦軸はドレイン電流を示している。図中、特性Aが本実施例の場合のMISTランジスタであり、特性Bが従来のMISTランジスタである。

【0105】いずれも、チャンネル長Lは6 μ mであり、本実施例の場合のチャンネル幅は分割された(10分割)各チャンネル幅が3 μ mであるのに対して、従来の場合のチャンネル幅は分割されていないものとして50 μ mのものを対象とした。

【0106】《TCPの接続構造》図18は走査信号駆動回路Vや映像信号駆動回路He、Hoを構成する、集積回路チップCHIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図19はそれを液晶表示パネルの、本例では映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【0107】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部(通称インナーリード)には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部(通称アウターリード)はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子DTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子DTM(GTM)は保護膜PSV1がパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0108】BF1はポリイミド等からなるベースフィルムであり、SRSは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコー

ン樹脂SILが充填され保護が多重化されている。

【0109】《駆動回路基板PCB2》中間フレームMFRに保持・収納される液晶表示部LCDの駆動回路基板PCB2は、図31に示すように、L字形をしており、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。駆動回路基板PCB2とインバート回路基板PCB3とはバックライトケーブルにより中間フレームMFRに設けたコネクタ穴を介して電氣的に接続される。

【0110】駆動回路基板PCB1と駆動回路基板PCB2とは折り曲げ可能なフラットケーブルFCにより電氣的に接続されている。組立て時、駆動回路基板PCB2は、フラットケーブルFCを180°折り曲げることにより駆動回路基板PCB1の裏側に重ねられ、中間フレームMFRの所定の凹部に嵌合される。

【0111】上述した実施例では、半導体層をチャネル幅に沿って複数に分割したものであるが、これに限定されることはなく、ゲート電極をチャネル幅に沿って複数に分割するようにしてもよいことはいうまでもない。要は、チャネル層がそのチャネル幅に沿って複数に分割されるようになればよい。

【0112】また、上述した実施例は、映像信号駆動回路に適用されたMISTランジスタについて説明したものであるが、これに限定されることはなく、垂直走査回路に適用させるようにしてもよく、さらには、液晶表示パネルPNLに内蔵されている薄膜トランジスタTFTにも適用できることはいうまでもない。

【0113】そして、上述した実施例では、液晶表示装置に適用されるMISTランジスタについて説明したものであるが、必ずしも液晶表示装置に適用されるものに限定されることはない。

【0114】

【発明の効果】以上説明したことから明かなように、本発明によるMISTランジスタによれば、占有面積を大きくせずに、ON特性の向上、さらにはOFF時のリーク電流の発生を防止できるようになる。

【図面の簡単な説明】

【図1】(a)、(b)は、この発明によるMISTランジスタの一実施例を示す構成図であり、(a)は平面図、(b)は(a)のb-b線における断面図である。

【図2】この発明が適用されるアクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図3】図2の3-3切断線における1画素とその周辺

を示す断面図である。

【図4】図2の4-4切断線における付加容量Caddの断面図である。

【図5】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図6】図5の周辺部をやや誇張し更に具体的に説明するためのパネル平面図である。

【図7】上下基板の電氣的接続部を含む表示パネルの角部の拡大平面図である。

【図8】マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図9】左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図10】ゲート端子GTMとゲート配線GLの接続部近辺を示す平面と断面の図である。

【図11】ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

【図12】アクティブ・マトリクス方式のカラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図13】基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図14】基板SUB1側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図15】基板SUB1側の工程G～Iの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図16】液晶表示モジュールの分解斜視図である。

【図17】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図18】駆動ICチップ内の回路図である。

【図19】本発明の効果を示すグラフである。

【図20】駆動回路を構成する集積回路チップCHIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図21】テープキャリアパッケージTCPを液晶表示パネルPNLの映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【図22】周辺駆動回路基板PCB1（上面が見える）と電源回路回路基板PCB2（下面が見える）との接続状態を示す上面図である。

【符号の説明】

SUB…透明ガラス基板、GL…走査信号線、DL…映像信号線

GI…絶縁膜、GT…ゲート電極、AS…i型半導体層

SD…ソース電極またはドレイン電極、PS-V…保護膜、BM…遮光膜

LC…液晶、TFT…薄膜トランジスタ、ITO…透明

(11)

特開平 7-94744

19

20

画素電極

g、d…導電膜、Cadd…保持容量素子、AOF…陽極酸化膜

AO…陽極酸化マスク、GTM…ゲート端子、DTM…ドレイン端子

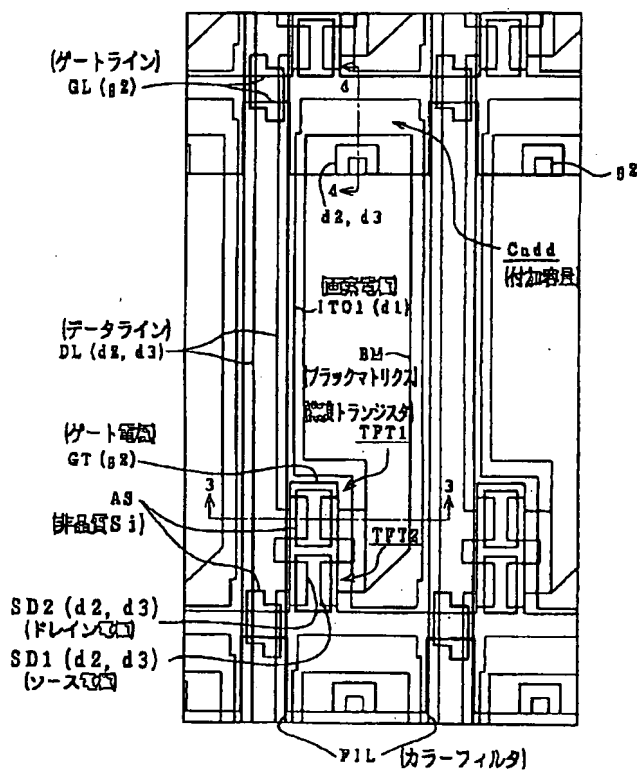
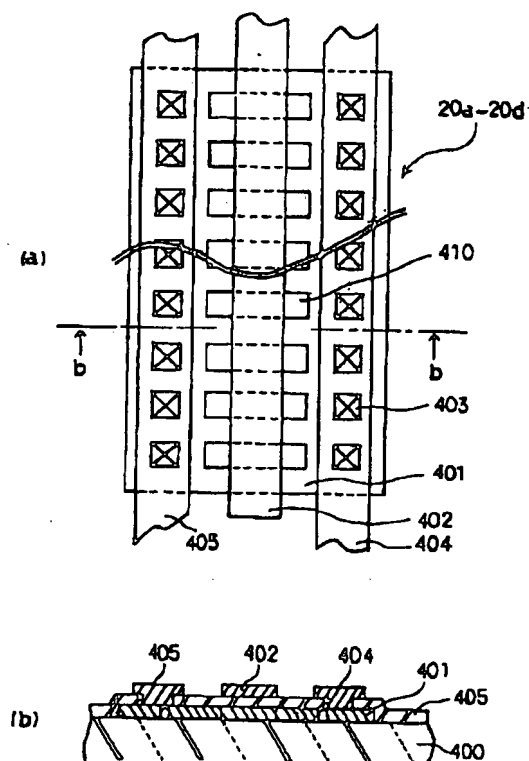
SHD…シールドケース、PNL…液晶表示パネル、SPB…光拡散板、MFR…中間フレーム、BL…バックライト、BLS…バックライト支持体、LCA…下側ケース、RM…バックライト光反射山、(以上添字省略)。

【図1】

【図2】

図 1

図 2

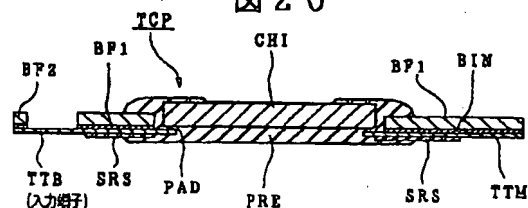
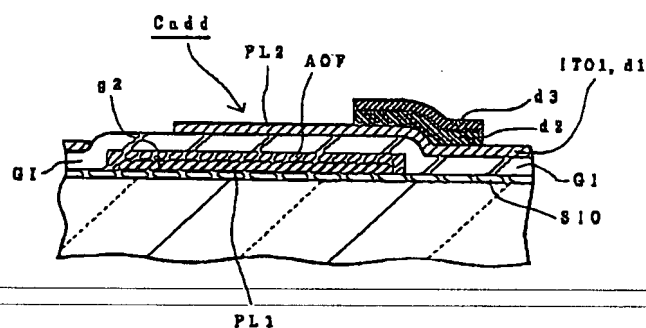


【図4】

【図20】

図 4

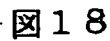
図 20



【图 3】



【图 18】



【图 5】

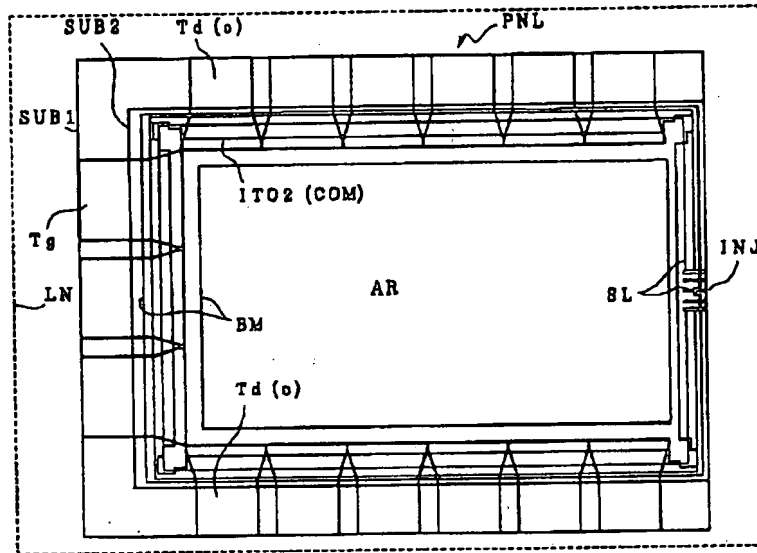


(13)

特開平 7 - 9 4 7 4 4

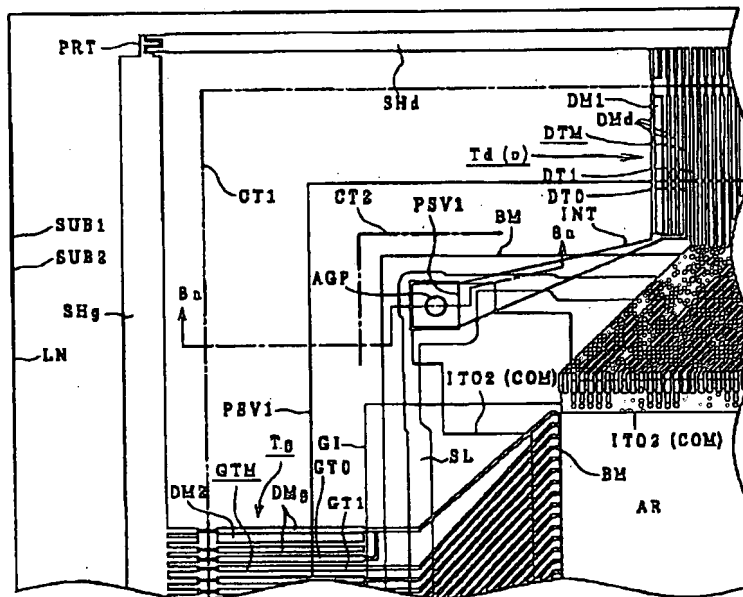
【図 6】

図 6



【図 7】

図 7

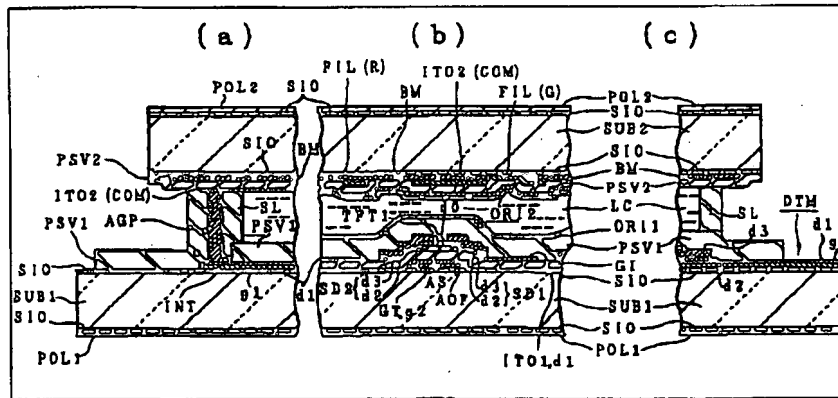


(14)

特開平 7 - 9 4 7 4 4

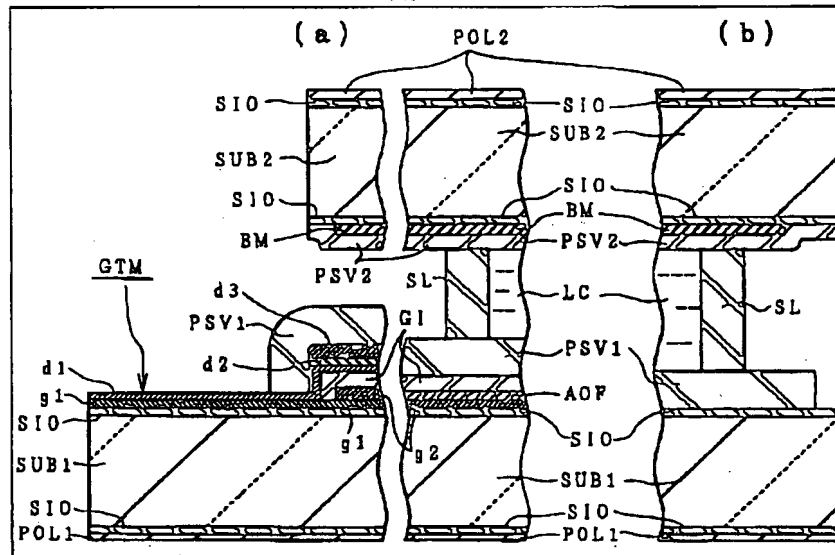
【図 8】

図 8



【図 9】

図 9

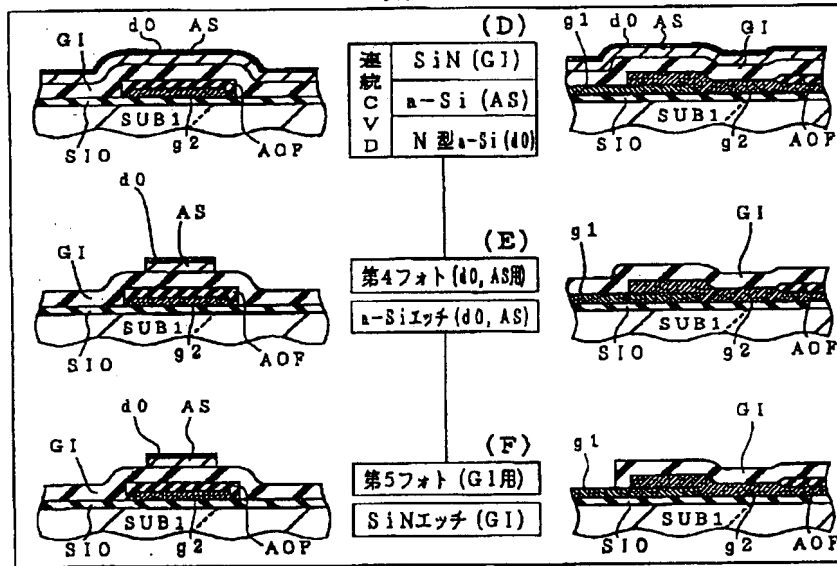


(17)

特開平 7 - 9 4 7 4 4

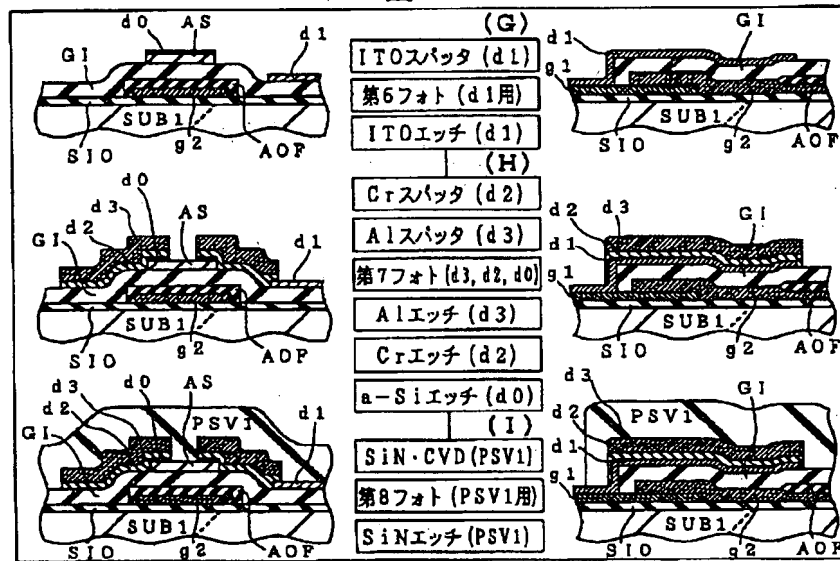
【図 1 4】

図 1 4

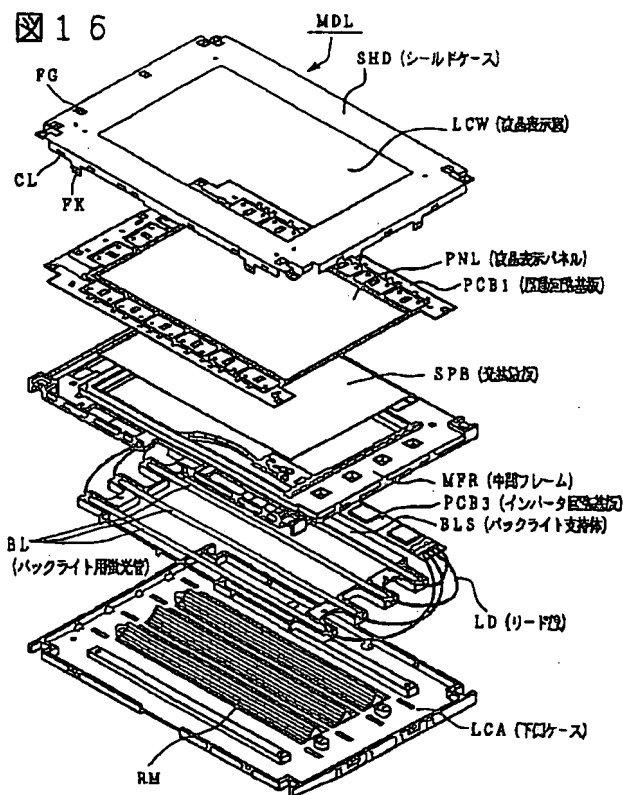


【図 1 5】

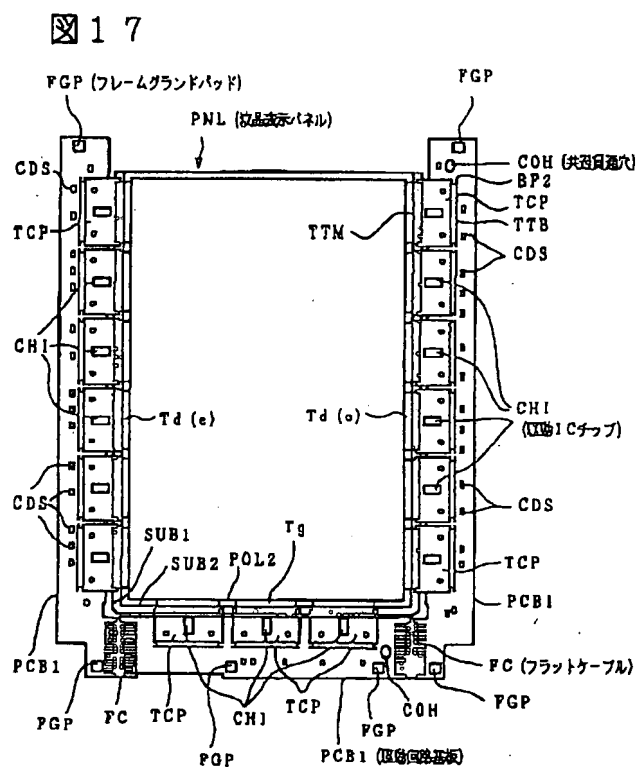
図 1 5



【図16】

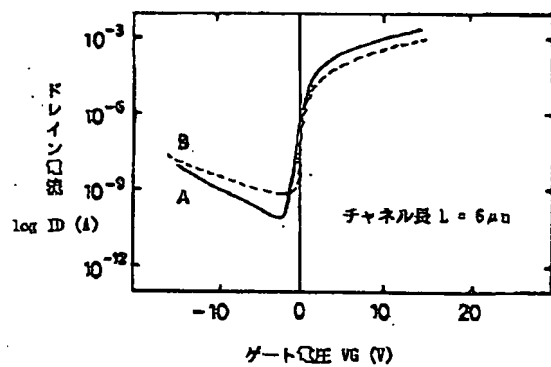


【図17】



【図19】

図19

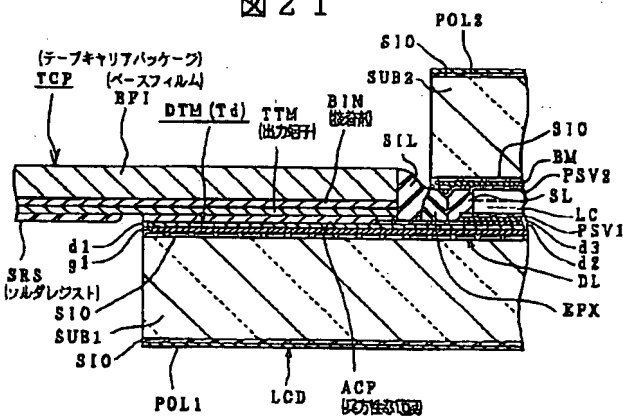


A: 本発明による N-HOS 特性
(チャンネル長 $3 \mu m$, 10本並列)

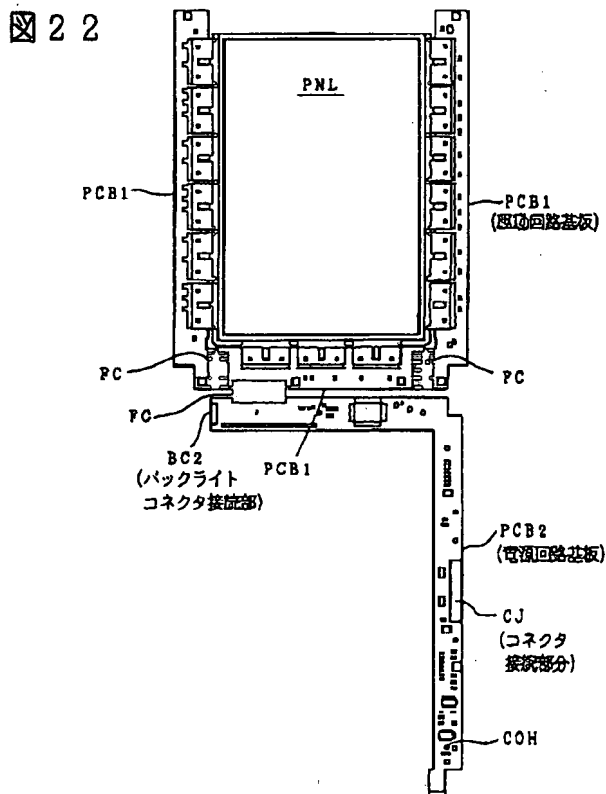
B: 従来の分離しないトランジスタの N-HOS 特性
(チャンネル長 $50 \mu m$)

【図21】

図21



【図 22】



フロントページの続き

(72)発明者 下村 繁雄

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 奥 博文

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 早田 浩子

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内